

PAT-NO: JP355091036A
DOCUMENT-IDENTIFIER: JP 55091036 A
TITLE: DIAGNOSIS SYSTEM FOR INFORMATION PROCESSOR
CONTROLLED BY MICROPROGRAM
PUBN-DATE: July 10, 1980
INVENTOR-INFORMATION:
NAME
ICHII, HIROSHI
ASSIGNEE-INFORMATION:
NAME COUNTRY
FUJITSU LTD N/A
APPL-NO: JP53162389
APPL-DATE: December 29, 1978
INT-CL (IPC): G06F011/00
US-CL-CURRENT/ 714/FOR.293

ABSTRACT:

PURPOSE: To secure the early detection for the error by performing the diagnosis program in the time-division way and under execution of the control program.

CONSTITUTION: The control program and the diagnosis program are carried out in the 6:2 ratio. The diagnosis program detects the error and then sets up the error display bit. While the control program examines the state of the error display bit and then informs the error occurrence to the higher-rank unit in case the error is detected. When Set P<SB>1</SB> features logic "1", FF4 is set and then reset when Reset P<SB>1</SB> features logic "1" each. With setting of FF4, control program execution timing T<SB>1</SB> becomes logic "1", and the control program is carried out while signal T<SB>1</SB> features logic "1". FF5 is set when Set P<SB>2</SB> features logic "1", and thus diagnosis program timing signal T<SB>2</SB> features logic "1" for execution of the diagnosis program.

COPYRIGHT: (C)1980,JPO&Japio

⑨ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭55—91036

⑮ Int. Cl.³
G 06 F 11/00

識別記号

庁内整理番号
7368—5B

⑬ 公開 昭和55年(1980)7月10日

発明の数 1
審査請求 未請求

(全 4 頁)

⑭ マイクロプログラム制御の情報処理装置における診断方式

川崎市中原区上小田中1015番地
富士通株式会社内

⑯ 出 願 人 富士通株式会社

川崎市中原区上小田中1015番地

⑰ 代 理 人 弁理士 京谷四郎

⑱ 特 願 昭53—162389

⑲ 出 願 昭53(1978)12月29日

⑳ 発 明 者 一井博

明 細 書

1 発明の名称

マイクロプログラム制御の情報処理装置における診断方式

2 特許請求の範囲

制御プログラムと診断プログラムとを格納するマイクロプログラム制御メモリ、上記制御プログラムの実行を指示する制御プログラム実行タイミング信号と上記診断プログラムの実行を指示する診断プログラム実行タイミング信号とを常に所定比率で生成する時分割処理タイミング信号生成手段、および上記制御プログラム実行タイミング信号が所定論理値をもつ場合上記制御プログラムを上記制御メモリから読出すと共に上記診断プログラム実行タイミング信号が所定論理値の場合上記診断プログラムを上記制御メモリから読出す制御メモリ・アクセス制御部を備えることを特徴とするマイクロプログラム制御の情報処理装置にかけ

る診断方式。

3 発明の詳細な説明

本発明は、マイクロプログラム制御の情報処理装置、例えば入出力制御装置等において、制御プログラムの実行中に装置の診断を時分割的に実行するようになつたマイクロプログラム制御の情報処理装置における診断方式に関するものである。

従来のマイクロプログラム制御の入出力制御装置等においてはメインの制御プログラムの実行中は診断を実行せず、制御プログラムがアイドル・ループに入つたとき診断を行つてゐる。従来のこの種の情報処理装置は、制御プログラムで成る処理を行う場合、バリエイ・エラー等は直ちに検出できるが、その他のエラーについては処理実行中に検出できないという欠点を有している。

本発明は、上記の欠点を除去することを目的とするものであつて、制御プログラムの実行中に診断プログラムを時分割的に実行しエラーを早期に検出できるようになつたマイクロプログラム制御の

情報処理装置における診断方式を提供することを目的としている。そしてそのため、本発明のマイクロプログラム制御の情報処理装置における診断方式は、制御プログラムと診断プログラムをマイクロプログラム格納装置に制御メモリ、上記制御プログラムの実行を指示する制御プログラム実行タイミング信号と上記診断プログラムの実行を指示する診断プログラム実行タイミング信号とを常に所定比率で生成する時分割処理タイミング信号生成手段、および上記制御プログラム実行タイミング信号が所定論理値をもつ場合上記制御プログラムを上記制御メモリから読出すと共に上記診断プログラム実行タイミング信号が所定論理値の場合上記診断プログラムを上記制御メモリから読出す制御メモリ・アクセス制御部を備えることを特徴とするものである。以下、本発明を図面を参照しつつ説明する。

オ1図は本発明の時分割診断処理のタイムチャート、オ2図は制御メモリの構成を示す図、オ3図は時分割処理タイミング作成回路の1実施例の

ブロック図、オ4図はPROMデコードの論理表、オ5図は制御メモリ・アクセス制御部の1実施例のブロック図である。

オ1図において、 T_1 はメインの制御プログラムの実行タイミング信号、 T_2 は診断プログラム実行タイミング信号をそれぞれ示している。本発明によるマイクロプログラム制御の情報処理装置においては、制御プログラムと診断プログラムとが、所定比率で実行される。図示の例では制御プログラムと診断プログラムとが6:2の割合で実行されている。診断プログラムは、情報処理装置の特に重要な機能、例えば演算機能の診断などを行うものである。診断プログラムは、エラーを検出すると、エラー表示ビットを立て、制御プログラムは所定の機会にエラー表示ビットの状態を調べ、エラーが検出されている場合、上位装置に対してエラー報告を行う。

オ2図は制御メモリの構成を示すものであつて、1は制御メモリを示している。制御メモリ1には、制御プログラムと診断プログラムとがそれぞれ順

域を異にして格納されている。スタート・アドレスSTART1は制御プログラムの先頭アドレスを示し、スタート・アドレスSTART2は、診断プログラムの先頭アドレスを示している。

オ3図は時分割処理タイミング作成回路の1実施例のブロック図であつて、2はカウンタ、3はPROMデコード、4と5はフリップ・フロップ、6はPPアドレス制御回路、ON T_1 、ないしON T_2 はカウンタ2からのカウント出力信号、Set P_1 は制御プログラム・セット信号、Reset P_1 は制御プログラム・リセット信号、Set P_2 は診断プログラム・セット信号、Reset P_2 は診断プログラム・リセット信号をそれぞれ示している。PROMデコード3は、カウンタ2からの出力信号をデコードし、Set P_1 、Set P_2 、Reset P_1 、Reset P_2 をオ4図の論理表の論理値で出力する。Set P_1 が論理「1」となると、フリップ・フロップ4はセットされ、Reset P_1 が論理「1」となると、フリップ・フロップ4はリセットされる。フリップ・フロップ4がセットされると、制御プログラム実行

タイミング信号 T_1 は論理「1」となり、この信号 T_1 が論理「1」の間、制御プログラムが実行される。Set P_1 が論理「1」となると、フリップ・フロップ5はセットされ、Reset P_1 が論理「1」となると、フリップ・フロップ5がリセットされる。フリップ・フロップ5がセットされると、診断プログラム実行タイミング信号 T_2 は論理「1」となり、この信号 T_2 が論理「1」の間診断プログラムが実行される。PPアドレス制御回路6は、信号 T_1 が論理「1」のとき論理「1」のアドレス選択信号を出力し、信号 T_2 が論理「1」のとき論理「0」のアドレス選択信号を出力する。

オ5図は制御メモリ・アクセス制御部の1実施例のブロック図であつて、7は命令デコード、8と9はマルチプレクサ、10と11は+1回路、12と13はアドレス・レジスタ、14と15はAND回路、16はマルチプレクサをそれぞれ示している。

命令デコード7は、制御メモリ1から読出されたマイクロ命令が分岐命令であるか否かを判別し、

表5図の繰置は次のように動作する。装置電源
 が投入されると、スタート・アドレスRTAD1
 がアドレス・レジスタ12にセットされ、スタート
 ・アドレスRTAD2がアドレス・レジスタ13
 にセットされる。制御プログラム実行タイミング
 信号 T_1 が論理「1」となる度に、制御プログラムの
 マイクロ命令が制御メモリ1から取出され、制
 御プログラムが逐次実行される。診断プログラム
 実行タイミング信号 T_1 になる度に診断プログラムの
 マイクロ命令が制御メモリ1から取出され、診
 断プログラムが逐次実行される。

オ1図は本発明の時分割診断処理のタイムチャート、オ2図は制御メモリの構成を示す図、オ3図は時分割処理タイミング作成回路の1実施例のブロック図、オ4図はPROMデコードの論理表、オ5図は制御メモリ・アクセス制御部の1実施例のブロック図である。

The block diagram illustrates a 2-bit counter circuit. It begins with a 70-vt input connected to a 2-to-4 decoder (labeled 2). The decoder's outputs are labeled CANT1, CANT2, and CANT3. These outputs are connected to a ROM (labeled 3). The ROM's output is connected to a flip-flop (labeled 4), which produces output T1. The output T1 is connected to a second flip-flop (labeled 5), which produces output T2. The output T2 is connected to a 2-to-4 decoder (labeled 6), which produces outputs T1T2, T1T2, and T1T2. The output T1T2 is connected to a 70-vt output.

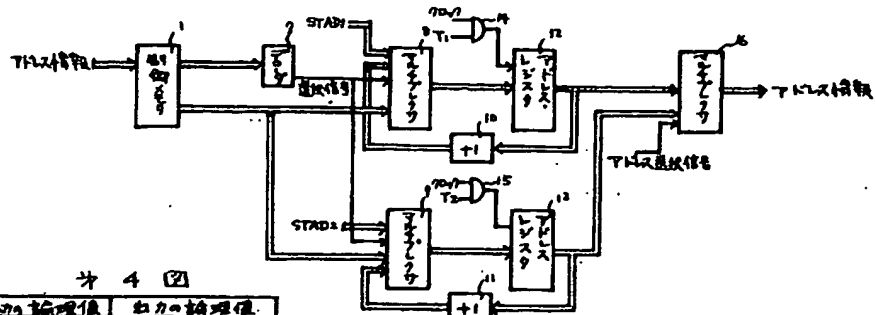


図 4

入力値			出力値			
ENT1	ENT2	ENT3	OUT1	OUT2	OUT3	OUT4
0	0	0	0	0	0	0
0	0	1	0	0	0	0
0	1	0	0	0	0	0
0	1	1	0	0	0	0
1	0	0	0	0	0	0
1	0	1	0	0	0	0
1	1	0	0	0	0	0
1	1	1	0	0	0	0

図 5